

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

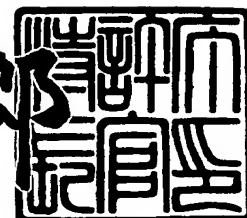
出 願 番 号 特 願 2 0 0 2 - 3 8 1 3 7 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 8 1 3 7 7]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 A000204577

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/00

【発明の名称】 可変分解能 A／D 変換器

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

【氏名】 山路 隆文

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変分解能 A/D 変換器

【特許請求の範囲】

【請求項 1】 並列に接続された複数のサンプルホールドユニットを含み、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号をサンプルホールドするサンプルホールド回路と；

入力される第 1 のアナログ信号を第 1 のデジタル信号に変換する第 1 サブ A/D 変換器及び並列に接続された複数の第 1 サブ D/A 変換器をそれぞれ含み、必要とされる分解能に応じた個数の第 1 サブ D/A 変換器によって該第 1 のデジタル信号を第 2 のアナログ信号に変換すると共に前記第 1 及び第 2 のアナログ信号の差信号を出力する、前記サンプルホールド回路の出力側に縦列接続された複数の第 1 変換ステージと；

入力される第 3 のアナログ信号を第 2 のデジタル信号に変換する第 2 サブ A/D 変換器及び該第 2 のデジタル信号を第 4 のアナログ信号に変換すると共に前記第 3 及び第 4 のアナログ信号の差信号を出力する第 2 サブ D/A 変換器をそれぞれ含み、終段の前記可変変換ステージの出力側に縦列接続された複数の第 2 変換ステージと；

前記複数の第 1 変換ステージにより得られる複数の前記第 1 のデジタル信号及び前記複数の第 2 変換ステージにより得られる複数の前記第 2 のデジタル信号を合成してデジタル出力信号を生成する合成回路とを具備する可変分解能 A/D 変換器。

【請求項 2】 並列に接続された複数のサンプルホールドユニットを含み、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号をサンプルホールドするサンプルホールド回路と；

入力される第 1 のアナログ信号をデジタル信号に変換するサブ A/D 変換器及び該デジタル信号を第 2 のアナログ信号に変換すると共に前記第 1 及び第 2 のアナログ信号の差信号を出力するサブ D/A 変換器をそれぞれ含み、前記サンプルホールド回路の出力側に縦列接続された複数の変換ステージと；

前記必要とされる分解能に応じてオン・オフされ、オン状態で前記複数の変換

ステージのうち少なくとも初段の変換ステージをバイパスするスイッチと；

前記複数の変換ステージにより得られるデジタル信号を合成してデジタル出力信号を生成する合成回路とを具備する可変分解能 A/D 変換器。

【請求項 3】 前記スイッチがオン状態のとき、少なくとも前記初段の変換ステージ以外の変換ステージに供給するクロック信号の位相をオフ状態のときの位相に対して反転させるクロック位相反転回路をさらに具備する請求項 2 に記載の可変分解能 A/D 変換器。

【請求項 4】 並列に接続された複数のサンプルホールドユニットを含み、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号をサンプルホールドするサンプルホールド回路と；

前記サンプルホールド回路からの出力信号を遅延する縦列接続された複数の単位遅延回路と；

前記複数の単位遅延回路からの出力信号の組に対して第 1 の線形変換を施し、複数の線形変換アナログ信号を出力するアナログ線形変換回路と；

前記複数の線形変換アナログ信号をデジタル信号に変換して出力する複数のサブ A/D 変換器と；

前記複数のサブ A/D 変換器から出力される複数のデジタル信号の組に対して前記第 1 の線形変換の逆変換である第 2 の線形変換を施し、複数の線形変換デジタル信号を出力するデジタル線形変換回路と；

前記複数の線形変換デジタル信号を前記アナログ遅延回路による遅延時間と同じ遅延時間を持たせて加算し、デジタル出力信号を生成するデジタル遅延加算回路とを具備する可変分解能 A/D 変換器。

【請求項 5】 前記単位遅延回路の各々は、並列に接続された複数のサブ遅延回路をそれぞれ含み、前記必要とされる分解能に応じた個数のサブ遅延回路によって前記サンプルホールド回路からの出力信号を遅延する請求項 4 に記載の可変分解能 A/D 変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はA/D変換器（アナログ－デジタル変換器）に係り、特に通信用途に適した可変分解能のA/D変換器に関する。

【0002】

【従来の技術】

A/D変換器（ADC）としては、音声信号のデジタル処理に用いる高分解能ADCや、ハードディスク上の信号を読み取る高速ADCなど種々の形態があるが、その多くは一定のサンプルレート、一定の分解能でのA/D変換を行う。近年、インターネットの普及により通信用途において高速かつ高分解能のADCへの要求が高まってきている。機器の電池駆動のために、ADCの低消費電力化も求められている。

【0003】

無線通信においては、状況に応じて送信電力のみならず変調方式を切り替える方式が利用され始めている。例えば、無線LAN規格の一つであるIEEE802.11aによれば、雑音や妨害信号が少ない環境では周波数利用効率が高く高速伝送が可能な変調方式を用い、雑音や干渉が多い環境では伝送速度は遅くなるものの雑音や干渉の影響を受けにくい変調方式を利用することが規定されている。固定変調方式においても、信号と雑音の状況によってはADCに必要なとされる分解能が異なってくるが、上記のように変調方式を切り替えると、必要な分解能の変化はより顕著になる。

【0004】

可変分解能ADCについては、例えば非特許文献1及び非特許文献2に開示されている。一般に高速かつ高分解能ADCの実現は難しいので、非特許文献1に開示された技術では、高速動作時には分解能を下げ、高分解能動作時には変換レートを下げている。非特許文献2では、主にアナログ／デジタル混載集積回路のテストの目的で、1ビットのADCとD/A変換器（DAC）及び誤差増幅器からなる複数の変換ステージを縦列接続し、スイッチ等によるつなぎ変えによってDACとして、雑音源として、あるいはADCとして利用することが記載されている。非特許文献3に示されている通り、消費電力を削減するには許容雑音レベルに応じて消費電流の配分を決める必要がある。

【 0 0 0 5 】

【非特許文献 1】

P. Setty et al., "A 5.75 b 350 M sample/s or 6.75 b 150 M sample/s reconfigurable flash ADC for a PRML read channel", 1998 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 148-149

【 0 0 0 6 】

【非特許文献 2】

E. K. F. Lee et al., "Reconfigurable data converter as a building block for mixed-signal test", European Design and Test Conference, 1997. Proceedings, pp.359-363

【 0 0 0 7 】

【非特許文献 3】

T. B. Cho et al., "A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter" (IEEE Journal of Solid-State Circuits Vol. 30, No. 3, March 1995, pp. 166-172)

【 0 0 0 8 】

【発明が解決しようとする課題】

非特許文献 1 に記載された方法は、ハードディスクの高速アクセスに適したフラッシュ型 A D C において有効であるが、高速無線通信の用途には分解能が十分でない。実際、無線通信の用途にはフラッシュ型 A D C よりは、高速性に優れたパイプライン型 A D C が利用されることが多い。

【 0 0 0 9 】

非特許文献 2 に開示された A D C は、テスト用としては小さいチップ占有面積で種々のテストを実行することが可能な優れた A D C であるが、全く同じ複数の変換ステージを縦列接続し、全ての変換ステージを常に動作させるパイプライン型 A / D 変換器であるため、低消費電力化に適していない。

【 0 0 1 0 】

本発明の目的は、分解能が可変であって、かつ低消費電力化できる A / D 変換

器を提供することにある。

さらに具体的には、特に無線通信のようにD/U（所望信号電力対不要信号電力比）が変化するような環境において、変調方式の変更に伴い分解能を下げた場合に消費電力を効果的に低減できるA/D変換器を提供することを目的とする。

【0011】

【課題を解決するための手段】

上述の課題を解決するため、本発明の一つの観点による可変分解能A/D変換器では、並列に接続された複数のサンプルホールドユニットを含み、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号がサンプルホールドされる。

サンプルホールド回路の出力側に、入力される第1のアナログ信号を第1のデジタル信号に変換する第1サブA/D変換器及び並列に接続された複数の第1サブD/A変換器をそれぞれ含み、必要とされる分解能に応じた個数の第1サブD/A変換器によって該第1のデジタル信号を第2のアナログ信号に変換すると共に第1及び第2のアナログ信号の差信号を出力する、縦列接続された複数の第1変換ステージが配置される。

さらに、終段の可変変換ステージの出力側に、入力される第3のアナログ信号を第2のデジタル信号に変換する第2サブA/D変換器及び該第2のデジタル信号を第4のアナログ信号に変換すると共に第3及び第4のアナログ信号の差信号を出力する第2サブD/A変換器をそれぞれ含む、縦列接続された複数の第2変換ステージが配置される。

第1変換ステージにより得られる複数の第1のデジタル信号及び第2変換ステージにより得られる複数の第2のデジタル信号が合成回路により合成され、デジタル出力信号が生成される。

【0012】

本発明の他の観点による可変分解能A/D変換器では、並列に接続された複数のサンプルホールドユニットを含み、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号がサンプルホールドされた後、縦列接続された複数の変換ステージに入力される。

各変換ステージは、入力される第1のアナログ信号をデジタル信号に変換するサブA/D変換器及び該デジタル信号を第2のアナログ信号に変換すると共に第1及び第2のアナログ信号の差信号を出力するサブD/A変換器をそれぞれ含む。

少なくとも初段の変換ステージに対して、必要とされる分解能に応じてオン・オフされ、オン状態で変換ステージをバイパスするスイッチが設けられる。複数の変換ステージにより得られるデジタル信号が合成回路により合成され、デジタル出力信号が生成される。

【0013】

本発明のさらに別の観点に基づく可変分解能A/D変換器では、縦列に接続された複数のサンプルホールドユニットを含み、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号がサンプルホールドされた後、縦列接続された複数の単位遅延回路に入力される。

各単位遅延回路からの出力信号の組に対してアナログ線形変換回路によって第1の線形変換が施され、複数の線形変換アナログ信号が出力される。これらの線形変換アナログ信号は、複数のサブA/D変換器によってデジタル信号に変換される。

各サブA/D変換器から出力される複数のデジタル信号の組に対して、デジタル線形変換回路によって第1の線形変換の逆変換である第2の線形変換が施され、複数の線形変換デジタル信号が出力される。複数の線形変換デジタル信号は、デジタル遅延加算回路によってアナログ遅延回路による遅延時間と同じ遅延時間が与えられて加算されることにより、デジタル出力信号が生成される。

単位遅延回路の各々は、並列に接続された複数のサブ遅延回路をそれぞれ含み、必要とされる分解能に応じた個数のサブ遅延回路によってサンプルホールド回路からの出力信号を遅延する構成であってもよい。

【0014】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

(第1の実施形態)

図1に、本発明の第1の実施形態に係るパイプライン型A/D変換器の構成を示す。アナログ入力信号10は、サンプルホールド回路(S/H)11によってサンプルホールド、すなわちサンプルされかつ一定時間ホールドされた後、変換ステージ12A、12B(第1変換ステージ)及び13A～13N(第2変換ステージ)の縦列接続に入力される。縦列接続された変換ステージのうち、最初の2段12A、12Bを可変変換ステージと呼び、後段13A～13Nを非可変変換ステージと呼ぶ。

【0015】

各変換ステージ12A、12B及び13A～13Nは、それぞれに入力されるアナログ信号を後述するように比較的少ないビット数のデジタル信号に変換すると共に、変換したデジタル信号の変換誤差を示すアナログの残差信号を次段の変換ステージへ出力する。終段の非可変変換ステージ12Nから出力される残差信号は、サブA/D変換器(サブADC)14によりデジタル信号に変換される。変換ステージ12A、12B及び13A～13Nについては、後に詳しく説明する。

【0016】

変換ステージ12A、12B及び13A～13NとサブADC14から出力されるデジタル信号は、デジタル合成回路15によって合成され、全体として高分解能のデジタル出力信号16が生成される。この場合、初段の変換ステージ12Aから出力されるデジタル信号がデジタル出力信号16の最上位側、終段の変換ステージ13Nから出力される残差信号をアナログーデジタル変換するサブADC14から出力されるデジタル信号がデジタル出力信号16の最下位側である。

【0017】

サンプルホールド回路11から出力される同じアナログ信号(サンプルホールド値)に対して、変換ステージ12A、12B及び13A～13NとサブADC14からそれぞれ出力されるデジタル信号は、各デジタル信号を出力する変換ステージまでの各ステージの持つ遅延時間の合計分に相当する相対的な遅延時

間を持つ。従って、デジタル合成回路 15 では、このような相対遅延時間を補償してから各デジタル信号を合成する必要があることは言うまでもない。

【0018】

図 2 は、サンプルホールド回路 11 の具体的な構成を示す図である。サンプルホールド回路 11 は、この例では並列に接続された 4 つのサブサンプルホールドユニット 21 ~ 24 からなる。各サンプルホールドユニット 21 ~ 24 は、演算増幅器 OA、キャパシタ C11, C12、サンプルスイッチ S11, S12 及びホールドスイッチ S13 ~ S16 を有する通常の差動型サンプルホールド回路を基本とし、各サンプルホールドユニット 21 ~ 24 にはさらにバイアス電流をオン・オフするためのバイアス電流スイッチ S17 が接続される。

【0019】

A/D 変換器全体として高分解能の出力が必要な場合には、雑音を低減するためにキャパシタ C11, C12 に容量の大きな素子を用いる必要がある。本実施形態の A/D 変換器は、分解能を例えば 10 ビットと 9 ビットに切り替えられるように構成される。ここでいう分解能は、A/D 変換器から出力されるデジタル出力信号 16 のビット数に相当する。周知のように雑音電圧は容量の平方根に反比例するので、10 ビットの分解能を得るために必要なキャパシタ C11, C12 の容量は、9 ビットの分解能を得るために必要な容量の 4 倍になる。

【0020】

分解能が 10 ビットの状態を 10 ビットモード、9 ビットの状態を 9 ビットモードという。10 ビットモードでは、4 つのサブサンプルホールドユニット 21 ~ 24 を全て動作させ、9 ビットモードでは一つのサブサンプルホールドユニットを動作させる。9 ビットモードでは、動作させないサブサンプルホールドユニットのバイアス電流スイッチ S17 をオフにすることによって、そのサンプルホールドユニットのバイアス電流を遮断する。これによって、消費電流を削減することができる。

【0021】

本実施形態に係る A/D 変換器のようなパイプライン型 ADC では、アナログ入力信号 10 の入力端に近い変換ステージほど低雑音であることが要求され、よ

り大きな容量のキャパシタを用いる必要があるため、それを駆動する増幅器の消費電流も大きくなる。本実施形態のように、入力回路であるサンプルホールド回路 11 を並列に接続された複数のサブサンプルホールドユニット 21 ~ 24 によって構成し、必要な分解能に応じた個数のサンプルホールドユニットだけ能動状態としてサンプルホールド動作を行うようにすると、9ビットモードでは増幅器の消費電流を4分の1に低減することができ、都合がよい。

【0022】

次に、図3及び図4を用いて可変変換ステージ12A、12B及び非可変変換ステージ13A~13Nについて説明する。

図3には、非可変変換ステージ13A~13Nの一つの構成を示す。非可変変換ステージには、終段の可変変換ステージ12Bまたは前段の非可変変換ステージから出力されるアナログ信号31が入力される。入力されるアナログ信号31は、まずサブADC32（第2サブA/D変換器）によって比較的ビット数の少ないデジタル信号33に変換される。サブADC32から出力されるデジタル信号33は、図1中のデジタル合成回路15に入力されると共に、MDACに入力される。

【0023】

MDAC34は、サブDAC（第2サブD/A変換器）35と減算器36及び残差増幅器37を有する一種のDACである。サブADC32からのデジタル信号33がサブDAC35によりアナログ信号に変換され、このアナログ信号と非可変変換ステージに入力されるアナログ信号31との差信号が減算器36によって求められる。減算器36から出力される差信号（これを残差信号という）は、残差増幅器37によって増幅される。残差増幅器37から出力される残差信号38は、次段の非可変変換ステージへ出力される。

【0024】

図4は、可変変換ステージ12A、12Bの一つの構成を示す図である。可変変換ステージには、図1中のサンプルホールド回路11または前段の可変変換ステージ12Aから出力されるアナログ信号31が入力される。入力されるアナログ信号31及びサブADC32（第1サブA/D変換器）から出力されるディジ

タル信号 33 は、図 1 中のデジタル合成回路 15 に入力されると共に、並列に接続された複数のサブ MDAC 34A ~ 34C に入力される。サブ MDAC 34A ~ 34C は、図 3 に示した MDAC 34 と同様に構成され、サブ DAC (第 1 サブ D/A 変換器) 35 と減算器 36 及び残差増幅器 37 を有する。

【0025】

このように非可変変換ステージは、図 3 中に示した MDAC を唯一つ持つ変換ステージである。一方、同様の MDAC をサブ MDAC として図 4 のように並列に複数のサブ MDAC を接続して一つの MDAC として用いることにより、可変変換ステージが実現される。このような可変変換ステージを用いて、必要とされる分解能に応じて、動作するサブ MDAC の個数を変更する。例えば、10 ビットモードでは図 4 中の全てのサブ MDAC 34A ~ 34C を動作させるが、9 ビットモードでは動作させるサブ MDAC を一つ少なくすることにより、消費電流を削減することが可能となる。

【0026】

全ての変換ステージに可変変換ステージを用いることも不可能ではないが、そうすると下位ビットの変換ステージでは、キャパシタの必要な容量値が小さくなり、寄生容量の影響が無視できなくなってくるので、可変変換ステージとする利点なくなる。このため、本実施形態では入力端に近い上位ビット側の変換ステージには可変変換ステージ 12A, 12B を用い、下位ビット側の変換ステージには非可変変換ステージ 13A ~ 13N を用いている。

【0027】

図 5 は、図 3 中の MDAC 34 の具体的な回路例である。DAC 35、減算器 36 及び残差増幅器 37 は、スイッチ群 41 とキャパシタ群 42 及び OTA (Operational Transconductance Amplifier; 演算トランスコンダクタンス増幅器) 43 を含むスイッチトキャパシタによって実現される。キャパシタ群 41 のうち、C1 ~ C6 は全て同じ容量値を持ち、C7 は C1 ~ C6 の容量値の 2 倍の容量値を持つ。

【0028】

図 1 中のサンプルホールド回路 11 または前段の変換ステージから出力され、

変換ステージに入力される信号は正相入力信号 V_{in+} として、また DAC 35 からのアナログ信号は逆相入力信号 V_{in-} としてそれぞれ与えられ、これらの差信号である残差信号は差動出力信号 V_{out+} , V_{out-} として出力される。図 5 の MDAC の動作は、サンプルホールドモードと増幅モードが交互に繰り返される。

【0029】

サンプルホールドモードでは、スイッチ群 41 は図 5 (a) に示される状態となり、キャパシタ群 42 の全てのキャパシタ $C1 \sim C7$ を入力端子に接続し、OTA 43 を入出力を短絡する。一方、増幅モードにおいては、スイッチ群 41 は図 5 (b) に示される状態となり、キャパシタ群 42 のうちキャパシタ $C1 \sim C6$ には、正の参照電圧 V_{ref+} または負の参照電圧 V_{ref-} が印加される。

【0030】

本実施形態の A/D 変換器は、上述したように分解能を例えば 10 ビットモード（高分解能モード）と 9 ビットモード（低分解能モード）のように複数段階に切り替えることができる。また、サンプルホールド回路 11 においては、並列に接続された複数のサンプルホールドユニット 21 ~ 24 のうち、必要とされる分解能に応じた個数のサブサンプルホールドユニットを用いてサンプルホールドを行うことにより、低分解能モードでの消費電流を低減できる。

【0031】

一方、サンプルホールド回路 11 の出力側（上位ビット側）に配置した可変変換ステージ 12A, 12B において、並列に接続された複数の MDAC 34A ~ 34C のうち、必要とされる分解能に応じた個数の MDAC を用いて、前段から出力される入力のアナログ信号 31 をサブ ADC 22 によりデジタル信号 36 に変換すると共に、デジタル信号 36 を DAC 35 により変換したアナログ信号とアナログ信号 31 との差信号（残差信号）を次段の変換ステージに出力することにより、変換ステージでの消費電流も低減できる。

【0032】

上述したように、本実施形態の A/D 変換器は、必要に応じて分解能を変えることができ、かつ分解能が低い場合は消費電力を小さくすることができる。従って、本実施形態の A/D 変換器を無線受信機に用いた場合、通信速度に見合った

消費電力とすることができ、特に電源にバッテリーを用いた携帯無線通信機器において有効である。例えば、通信速度が低い状況では、固定分解能のA/D変換器を用いる場合と比較して、同じ容量のバッテリーを用いて、より長時間の通信を行うことが可能となる。

【0033】

(第2の実施形態)

図6には、本発明の第2の実施形態に係るパイプライン型A/D変換器の構成を示す。サンプルホールド回路11は、第1の実施形態と同様に図2に示したような並列に接続された複数のサンプルホールドユニット21～24によって構成され、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号10のサンプルホールドを行う。

【0034】

本実施形態では、サンプルホールド回路11の後段に縦列接続される複数の変換ステージとして、全て図3に示したような構成の非可変変換ステージ13A～13Nが用いられる。非可変変換ステージ13A～13Nのうち、初段の変換ステージ13Aに対して並列に、つまり変換ステージ13Aの入出力端間に、バイパススイッチ18が接続されている。

【0035】

バイパススイッチ18は、必要とされる分解能に応じてオン・オフされる。すなわち、高分解能モード、例えば10ビットモードでは、バイパススイッチ18をオフ状態にして、変換ステージ13Aを動作状態とする。低分解能モード、例えば9ビットモードでは、バイパススイッチ18をオン状態にし、変換ステージ13Aのバイアス電流を遮断することにより、変換ステージ13Aの動作を休止させる。

【0036】

前述したようにパイプライン型ADCの変換ステージは、入力に近いほど容量値の大きなキャパシタが必要であり、それを駆動するために駆動能力の大きい、従って消費電力の大きい増幅器を使用する必要がある。本実施形態によれば、分解能を1ビット少なくできる場合には、初段の変換ステージ13Aを休止させる

ことにより、効果的に電力消費を低減させることができる。

【0037】

奇数番目の変換ステージ13A, 13C, …は、サンプルホールド回路11がホールドモードのときにA/D変換を行い、サンプルモードのときにD/A変換を行うと共に出力をホールドする。偶数番目の変換ステージ13B, …は、奇数番目の変換ステージ13A, 13C, …と逆の動作を行う。このため本実施形態のように一つの変換ステージ13Aをバイパスしたときには、他の各変換ステージ13B～13Nに与えるクロック信号の位相を反転させる必要がある。変換ステージ13B～13Nに与えるクロック信号は、例えば図3中のサブADC32及びMDAC34を動作させるために用いられる。

【0038】

図6中に示したクロック反転回路19は、このようなクロック信号の位相反転を行う。すなわち、バイパススイッチ18がオン状態のとき、変換ステージ13B～13Nに供給するクロック信号の位相を、バイパススイッチ18がオフ状態のときの位相に対して反転させる。バイパススイッチ18がオン状態のとき、初段の変換ステージ13Aは休止するので、このように変換ステージ13B～13Nに供給するクロック信号の位相だけを反転する必要は必ずしもなく、変換ステージ13Aを含む全ての変換ステージ13A～13Nに供給するクロック信号の位相を反転させてもよい。

【0039】

(第3の実施形態)

図7に、本発明の第3の実施形態に係るパイプライン型A/D変換器の構成を示す。第2の実施形態と同様に、全ての変換ステージは非可変変換ステージ13A～13Nである。本実施形態では、初段の変換ステージ13Aをバイパスするためのバイパススイッチ18Aに加えて、二段目の変換ステージ13Bをバイパスするためのバイパススイッチ18Bをさらに有する。

【0040】

変換ステージ13A～13Nとして、サブADC32から出力されるデジタル信号が1ビット、もしくは1.5ビットの変換回路を用いると、1ビット刻み

で2ビット幅、すなわち3段階の分解能切り替え機能を実現できる。この場合、サンプルホールド回路11に16個並列に接続されたサブサンプルホールドユニットを用いて、消費電流を1ビットの分解能低減で $4/16$ 、2ビットの分解能低減で $1/16$ にそれぞれ削減することが可能である。一方、クロック反転回路19は、1ビットの分解能削減時にのみクロック信号を反転させる。

【0041】

(第4の実施形態)

図8は、本発明の第4の実施形態に係るA/D変換器の構成を示している。アナログ入力信号50は、サンプルホールド回路51によりサンプルホールドされる。サンプルホールド回路50は、第1の実施形態と同様に図2に示したような並列に接続された複数のサンプルホールドユニットによって構成され、必要とされる分解能に応じた個数のサンプルホールドユニットによってアナログ入力信号50のサンプルホールドを行う。

【0042】

サンプルホールド回路51によってサンプルホールドされたアナログ信号は、アナログ遅延回路52に入力される。アナログ遅延回路52は、サンプルホールドされたアナログ信号を同一の単位時間遅延させる複数個（この例では3個）の単位遅延回路53A～53Cを縦列接続して構成される。アナログ遅延回路52においては、サンプルホールド回路51から出力されるアナログを含めて、単位遅延回路53A～53Cの遅延時間で決まる相対遅延時間を持つ4つのアナログ出力信号が生成される。

【0043】

単位遅延回路53A～53Cは、図9に示すように並列に接続された複数のサブ遅延回路531～534によって構成され、必要とされる分解能に応じた個数のサブ遅延回路によってサンプルホールド回路51から出力されるアナログ信号を遅延する。すなわち、サブ遅延回路531～534には、バイアス電流をオン・オフするためのバイアス電流スイッチ535～538がそれぞれ接続されており、これらのスイッチ535～538によってサブ遅延回路531～534の動作をオン・オフすることができる。

【0044】

アナログ遅延回路52から出力される4つのアナログ信号は、アナログ線形変換回路54に入力される。アナログ線形変換回路54は、図10にその等価回路図を示したように、アナログ遅延回路54から出力される4つのアナログ信号A1～A4を共通の入力とする4個の重み付け加算回路によって構成される。すなわち、アナログ信号A1～A4の組に対して、まず16個の重み付け器により異なる重み係数の組を用いて重み付けが行われた後に、4個の加算器によって加算されることにより線形変換（第1の線形変換）が施され、4個の線形変換アナログ信号B1～B4が生成される。重み付け器は乗算器によって構成され、入力に重み係数を乗じることによって重み付けを行う。

【0045】

さらに詳細に説明すると、信号A1に対しては重み付け器61A～61Dによって重み付けが行われ、信号A2に対しては重み付け器62A～62Dによって重み付けが行われ、信号A3に対しては重み付け器63A～63Dによって重み付けが行われ、信号A4に対しては重み付け器64A～64Dによって重み付けが行われる。加算器65Aでは重み付け器61A、62A、63A、64Aの出力が加算され、加算器65Bでは重み付け器61B、62B、63B、64Bの出力が加算され、加算器65Cでは重み付け器61C、62C、63C、64Cの出力が加算され、加算器65Dでは重み付け器61D、62D、63D、64Dの出力が加算されることによって、線形変換アナログ信号B1～B4が生成される。

【0046】

このようにしてアナログ線形変換回路54から出力される4個の線形アナログ信号B1～B4は、それぞれに与えられている重み係数が異なっているので、統計的な性質が異なっている。言い換えれば、アナログ入力信号50は、アナログ遅延回路52及びアナログ線形変換回路54によって、統計的な性質の異なる複数のアナログ信号成分である線形変換アナログ信号B1～B4に分解されることになる。

【0047】

線形変換アナログ信号 B1～B4 は、それぞれサブ ADC 55A～55D によってデジタル信号に変換される。サブ ADC 55A～55D から出力される 4 個のデジタル信号は、デジタル線形変換回路 56 に入力される。デジタル線形変換回路 56 は、入力される 4 個のデジタル信号の組に対しアナログ線形変換回路 54 による第 1 の線形変換の逆変換である第 2 の線形変換を施すことによって、4 個の線形変換デジタル信号 C1～C4 を出力する。従って、線形変換デジタル信号 C1～C4 は、アナログ線形変換回路 54 による第 1 の線形変換を行う前のアナログ信号、すなわちアナログ遅延回路 52 によって生成されたアナログ出力信号 A1～A4 をデジタル信号に変換したものと等価となる。

【0048】

線形変換デジタル信号 C1～C4 は、デジタル遅延加算回路 57 に入力される。デジタル遅延加算回路 57 は、アナログ遅延回路 52 における単位遅延回路 53A～53C と同じ単位時間遅延を持つ 3 個の単位遅延回路 58A～58C 及び 3 個の加算器 59A～59C によって構成され、線形変換デジタル信号 C1～C4 をアナログ遅延回路 52 による相対遅延時間と同じ相対遅延時間を持たせて加算することにより、アナログ→デジタル変換されたデジタル出力信号 60 を生成して出力する。

【0049】

すなわち、線形変換デジタル信号 C1～C4 のうち、信号 C1 は単位遅延回路 58A に、信号 C2 は加算器 59A に、信号 C3 は加算器 59B に、信号 C4 は加算器 59C にそれぞれ入力される。加算器 59A、59B の出力は、単位遅延回路 58B、58C にそれぞれ入力され、最終段の加算器 58C からデジタル出力信号 60 が出力される。このようにデジタル遅延加算回路 57 はアナログ遅延回路 52 の処理と逆の処理を行うことによって、アナログ入力信号 50 に対応したデジタル出力信号 60 を生成する。

【0050】

このように本実施形態の A/D 変換器では、アナログ入力信号 50 をサンプルホールド回路 51 によりサンプルホールドした後、アナログ遅延回路 52 及びアナログ線形変換回路 54 を介して統計的な性質の異なる複数のアナログ信号成分

に分解した後、各信号成分をサブADC 55A～55Dによりそれぞれデジタル信号に変換する。次に、サブADC 55A～55Dから出力されるデジタル信号をアナログ線形変換回路54の逆の変換特性を持つデジタル線形変換回路56及びデジタル遅延加算回路57を介して合成することにより、A/D変換器されたデジタル出力信号60を出力する。

このような構成によって、サブADC 55A～55Dの個々の分解能は低くとも、量子化雑音を効果的に抑制して信号対雑音比を向上でき、分解能の高いA/D変換器を実現することができる。

【0051】

上述した本実施形態の基本的な構成は、本出願人が先に出願した特願2001-164691記載のA/D変換器と同様である。このような基本構成のA/D変換器によると、例えばサブADC 55A～55Dとして10ビット分解能のADCを用いた場合、11ビットの分解能を実現することができる。通常、ADCは10ビットの出力であっても、誤差や雑音の影響があるので、信号対雑音電力比でみると例えば実効分解能は9.5ビットというように、やや小さくなる。本実施形態のようにサブADC 55A～55Dの前にアナログ線形変換回路54を配置すると、実効分解能が9.5ビットのサブADC 55A～55Dを用いて、実効10.5ビットのA/D変換器を実現できる。

【0052】

アナログ線形変換回路54における線形変換の行列を可変とすることにより、4個のサブADC 55A～55Dのうちの2個を用いて実効分解能が10ビットのアナログーデジタルを実現することも可能であり、場合によっては唯一つのサブADCを用いることも可能である。本実施形態の利点は、このように1ビット刻みでなく、例えば0.5ビット刻みでA/D変換器の実効分解能を制御することである。本実施形態のように4個のサブADC 55A～55Dが並列に配置された構成では、分解能の可変範囲は1ビットであるが、例えば16個のサブADCを用いると2ビット、64個のサブADCを用いると3ビットの可変範囲を持たせることが可能である。

【0053】

さらに、本実施形態ではこれまでの実施形態と同様に、A/D変換器に必要とされる分解能、この例ではサブADCの並列数に応じて、サンプルホールド回路51でアナログ入力信号50のサンプルホールドを行うサンプルホールドユニットの個数を増減させる。さらに、本実施形態ではアナログ遅延回路52についても、単位遅延回路53A～53Cにおいて実際に遅延に用いられるサブ遅延回路の個数を増減させる。具体的には、高分解能モードでは実際にサンプルホールドを行うサンプルホールドユニットの個数や、実際に遅延を行うサブ遅延回路の個数を多くし、低分解能モードでは逆にこれらの個数を少なくする。これによって分解能に合わせて消費電流を削減することができる。

【0054】

本実施形態においては、アナログ線形変換回路54とデジタル線形変換回路56の組み合わせは、例えばアナログDCT（離散コサイン変換）回路とデジタルIDCT（逆離散コサイン変換）回路の組み合わせ、アナログDFT（離散フーリエ変換）回路とデジタルIDFT（逆離散フーリエ変換）回路の組み合わせ、アナログユニタリ変換回路とデジタル逆ユニタリ変換回路の組み合わせ等であってもよい。

【0055】

【発明の効果】

以上説明したように、本発明によれば分解能が可変であって、かつ特に低分解能時において効果的に低消費電力化ができるA/D変換器を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るA/D変換器の構成を示すブロック図

【図2】 図1におけるサンプルホールド回路の具体的な構成を示す回路図

【図3】 図1における非可変変換ステージの構成を示すブロック図

【図4】 図1における可変変換ステージの構成を示すブロック図

【図5】 図3におけるMDACのより具体的な構成を示す回路図

【図6】 本発明の第2の実施形態に係るA/D変換器の構成を示すブロック図

図

【図 7】 本発明の第 3 の実施形態に係る A/D 変換器の構成を示すブロック

図

【図 8】 本発明の第 4 の実施形態に係る A/D 変換器の構成を示すブロック

図

【図 9】 図 8 における単位遅延回路の構成を示すブロック図

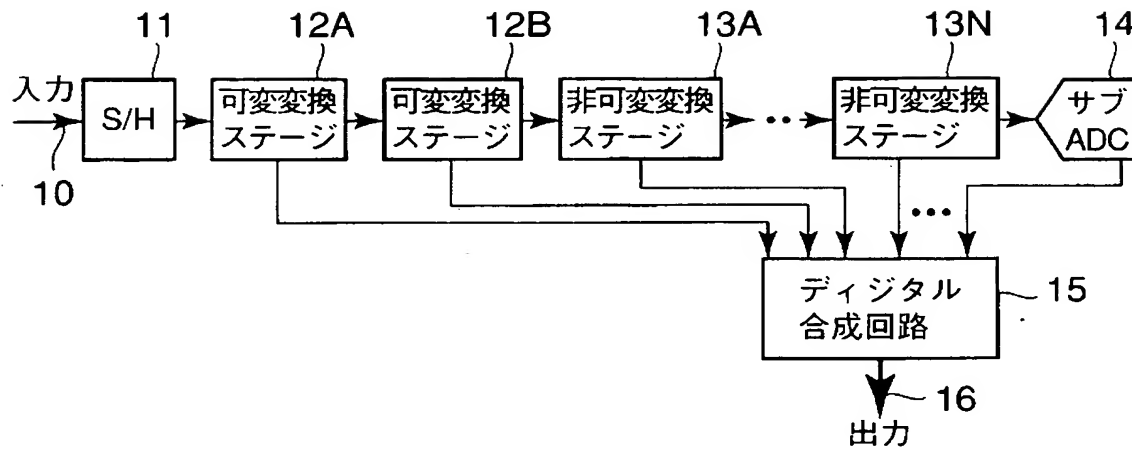
【図 10】 図 8 におけるアナログ線形変換回路の等価回路図

【符号の説明】

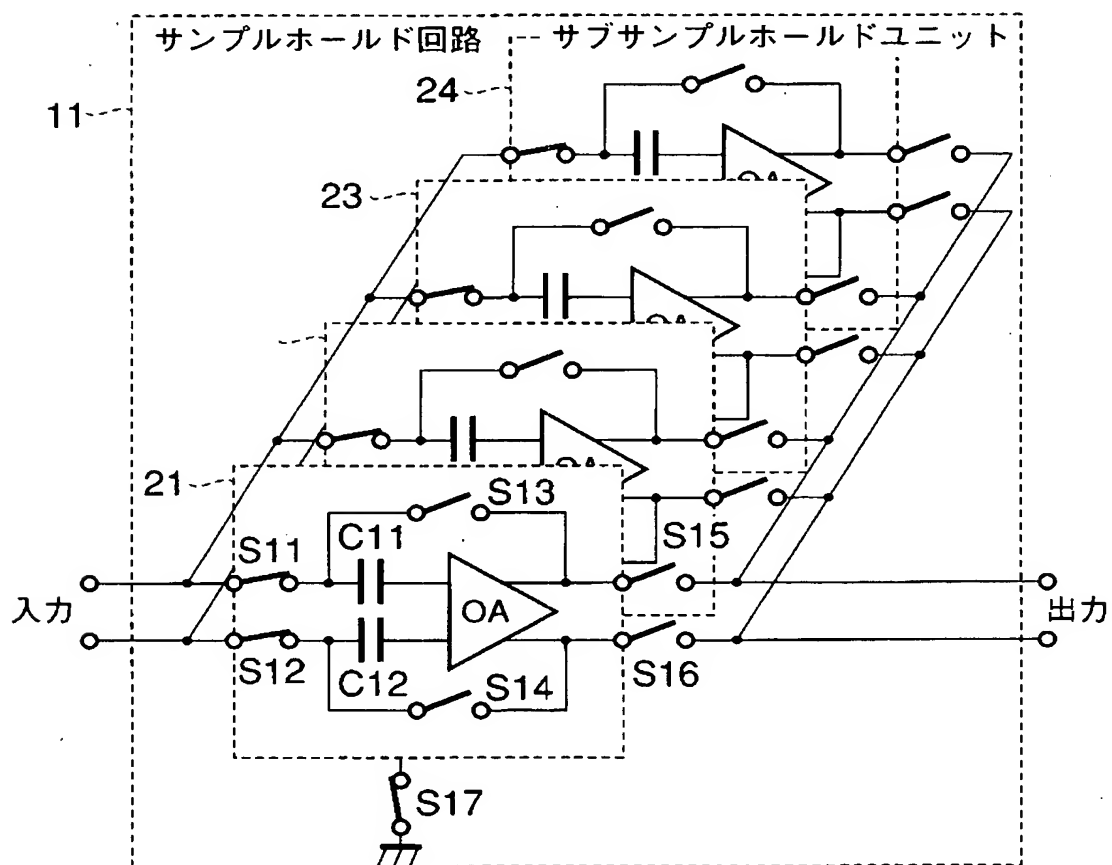
10…アナログ入力信号、11…サンプルホールド回路、12A, 12B…可変変換ステージ（第 1 の変換ステージ）、13A～13N…非可変変換ステージ（第 2 の変換ステージ）、14…サブADC、15…デジタル合成回路、16…デジタル出力信号、18, 18A, 18B…バイアス電流スイッチ、19…クロック反転回路、21～24…サブサンプルホールドユニット、32…サブADC（第 1、第 2 サブ A/D 変換器）、34…MDAC、34A～34C…サブMDAC、35…サブDAC（第 1、第 2 サブ D/A 変換器）、36…減算器、37…残差増幅器、50…アナログ入力信号、51…サンプルホールド回路、52…アナログ遅延回路、54…アナログ線形変換回路、55A～55D…サブADC、56…デジタル線形変換回路、57…デジタル遅延加算回路。

【書類名】 図面

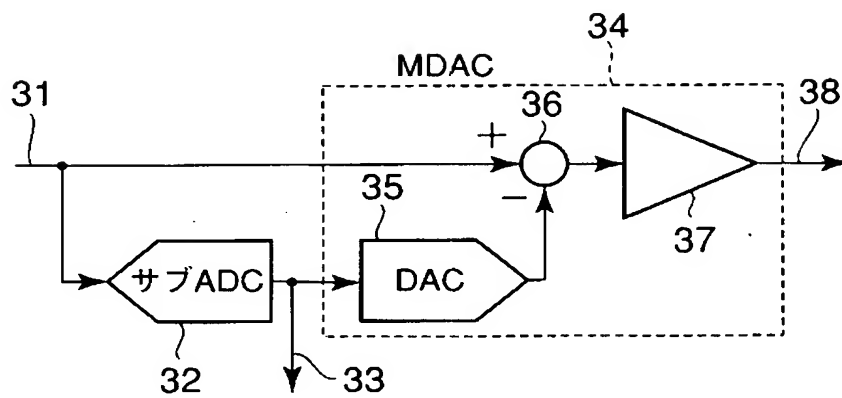
【図1】



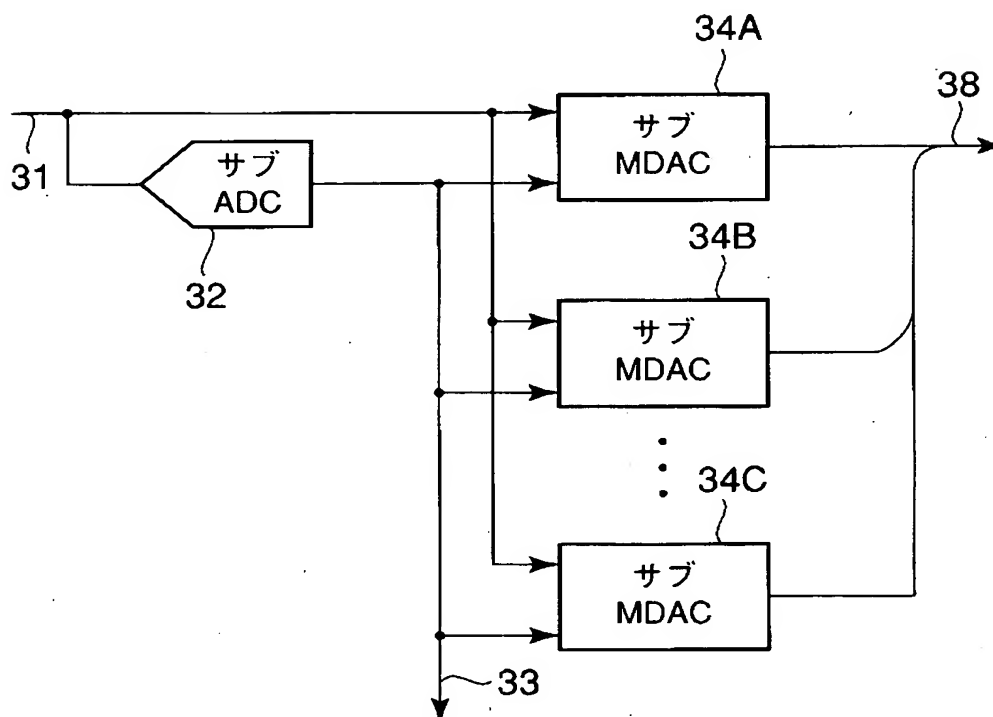
【図2】



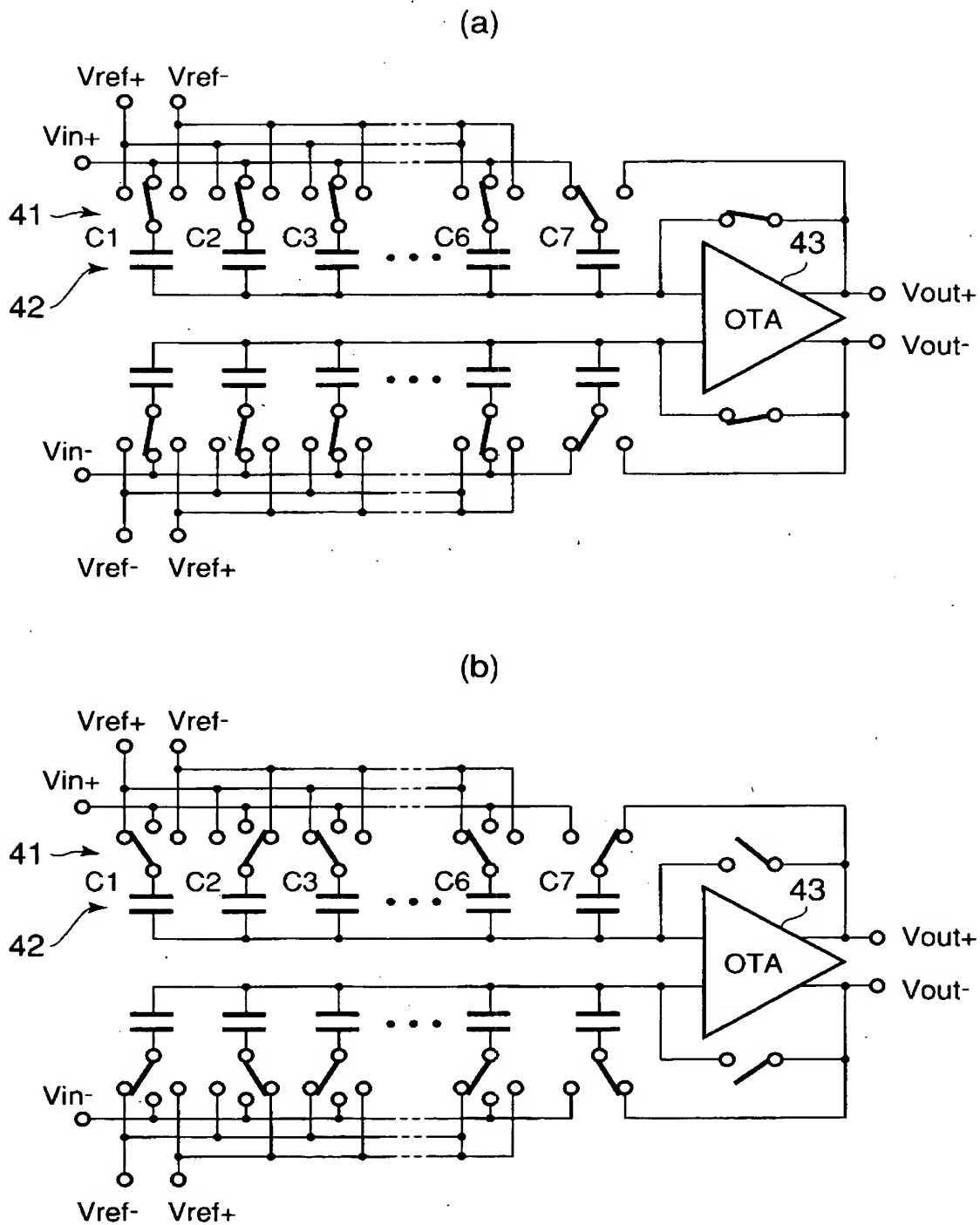
【図 3】



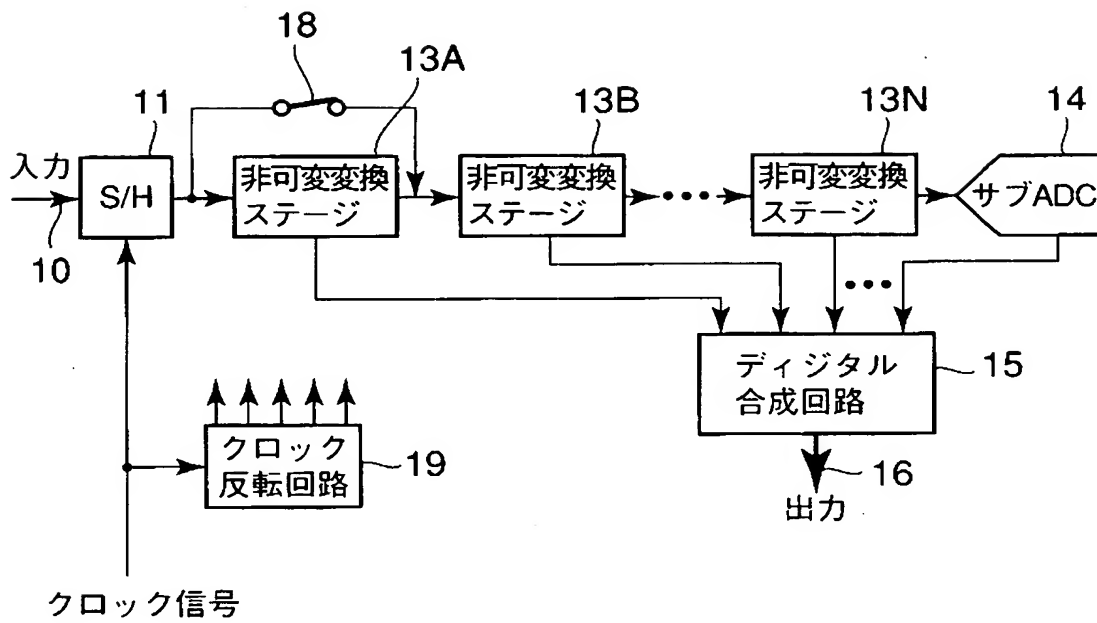
【図 4】



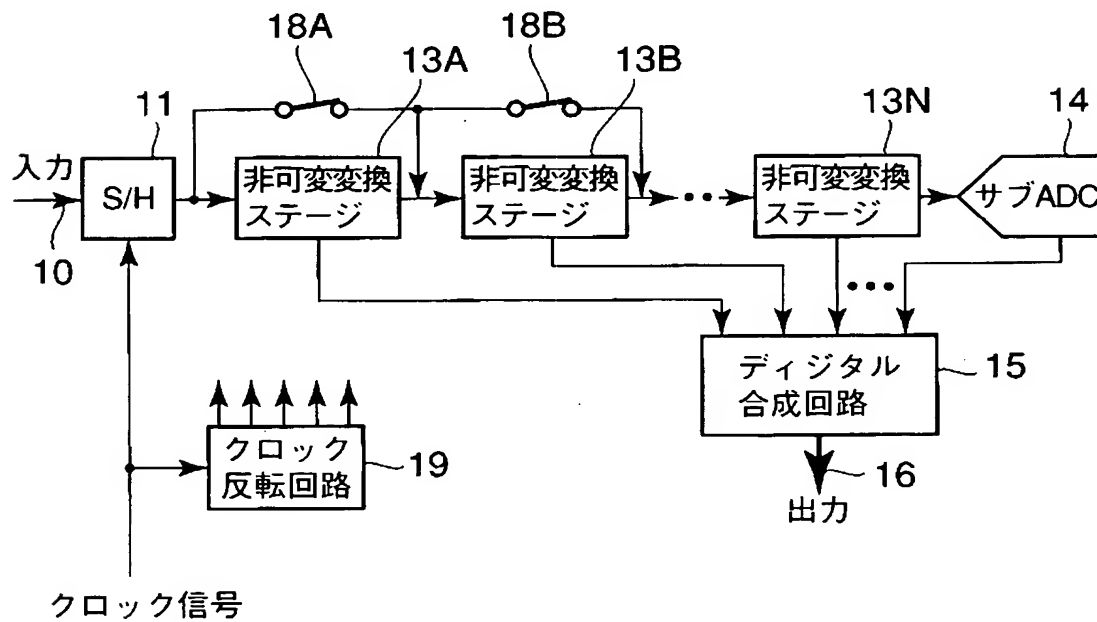
【図 5】



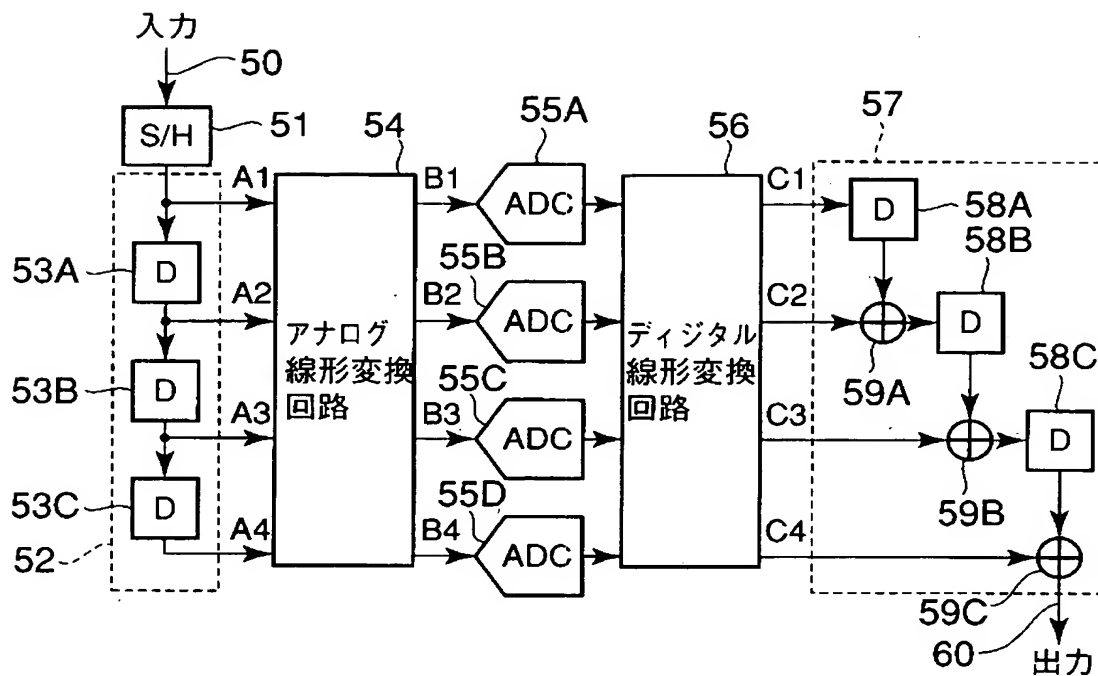
【図 6】



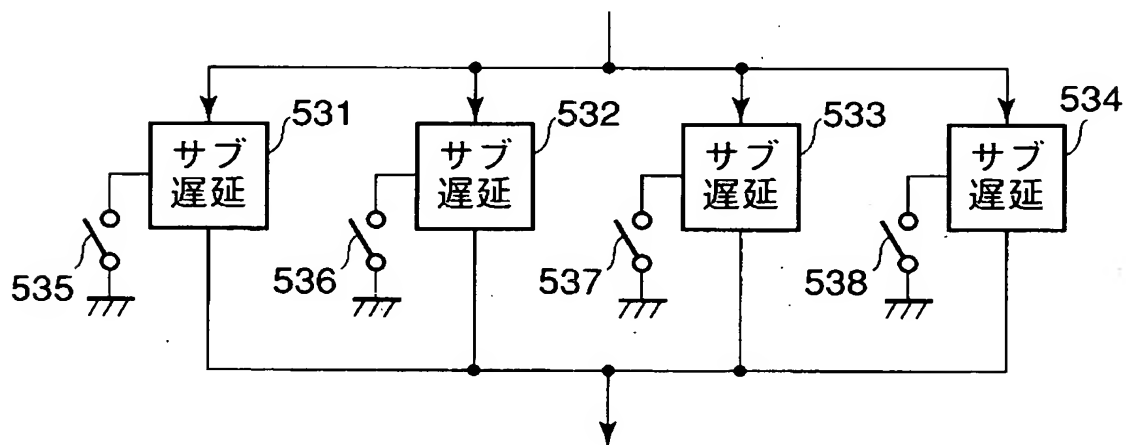
【図 7】



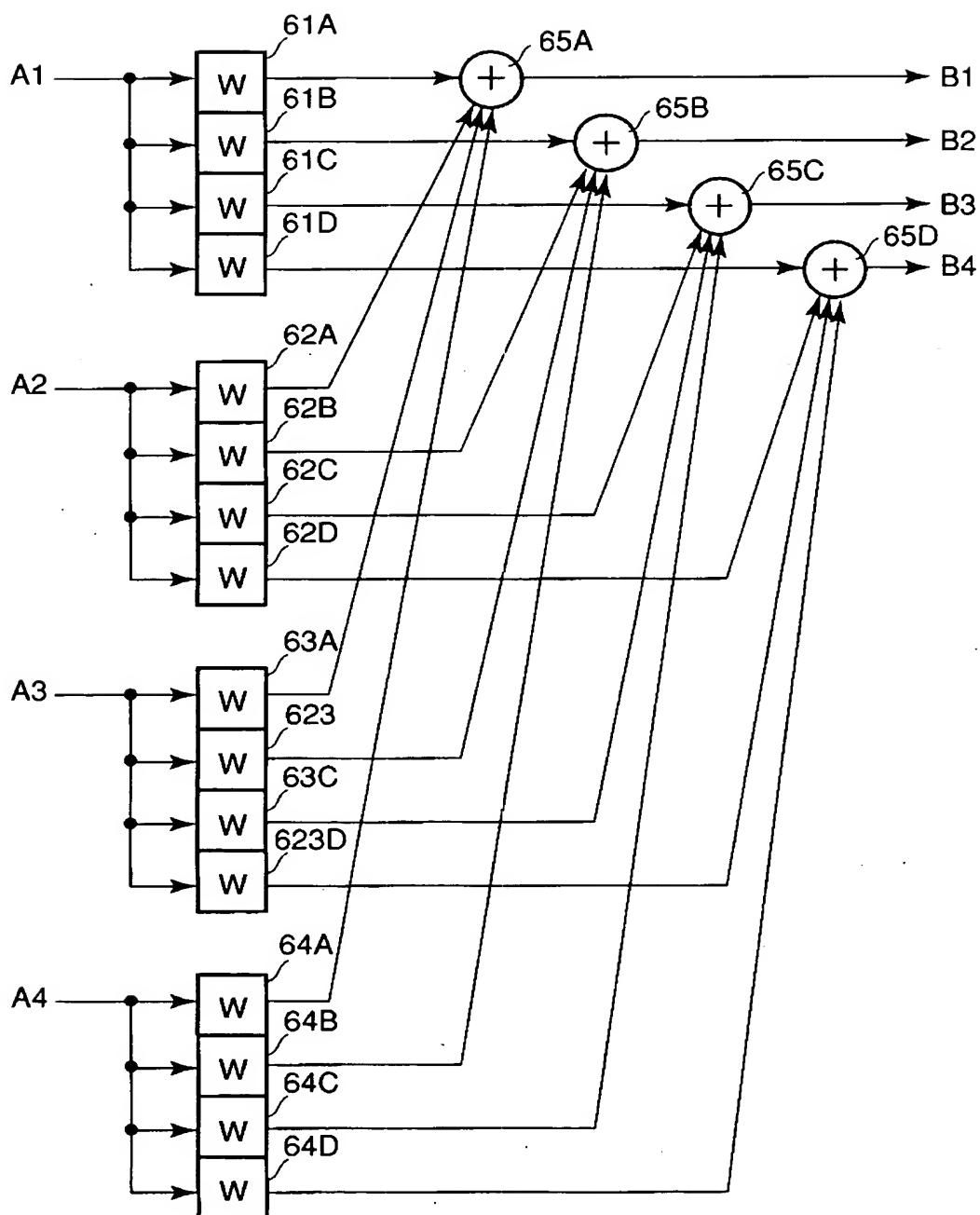
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 電波環境に応じて通信方式を切り替えるような無線通信に適した分解能可変でかつ低消費電力のA/D変換器を提供する。

【解決手段】 サンプルホールド回路11の後段に縦列接続された変換ステージから出力されるデジタル信号を合成してデジタル出力信号16を得るパイプライン型ADCにおいて、サンプルホールド回路11では、必要とされる分解能に応じた個数の並列接続されたサンプルホールドユニットによってアナログ入力信号10をサンプルホールドする。前段の可変変換ステージ12A, 12Bでは、サブADCで得られたデジタル信号を必要とされる分解能に応じた個数のサブDACによってアナログ信号に変換すると共に残差信号を出力し、後段の非変換ステージ13A～13Nでは、サブADCで得られたデジタル信号を一つのサブDACによってアナログ信号に変換すると共に残差信号を出力する。

【選択図】 図1

特願 2002-381377

出 願 人 履 歷 情 報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝